



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020000017357

(43) Publication.Date. 20000325

(21) Application No.1019990034053

(22) Application Date. 19990818

(51) IPC Code:

G11C 16/00

(71) Applicant:

NEC CORPORATION

(72) Inventor:

SGAWARA HIROSHI

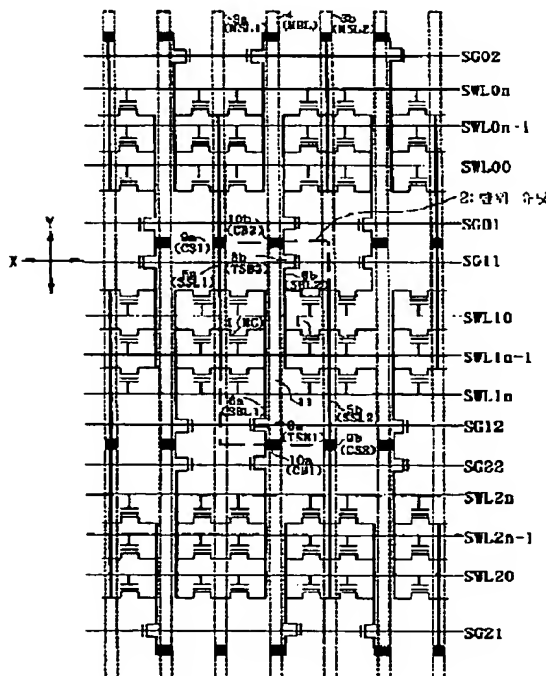
(30) Priority:

98 232156 19980818 JP

(54) Title of Invention

SEMICONDUCTOR MEMORY DEVICE

Representative drawing



(57) Abstract:

PURPOSE: A semiconductor memory device is provided, which can maintain a stored data when a power is turned off.

CONSTITUTION: The semiconductor memory device comprises: first and second main source lines (3a, 3b) to be arranged at both sides of a main bitline (4); first and second sub source lines (5a, 5b) to be connected to first and second main source lines (3a, 3b); first and second sub bitlines (6a, 6b) to be connected to the main bitline (4); a first memory cell group which two or more memory cells are connected between the first sub source line (5a) and the first sub bitline (6a); a second memory cell group which two or more memory cells are connected between the second sub source line (5b) and the second sub

bitline (6b); and one or more units to be arranged between a separated region of two

memory cells. Thereby, it is possible to increase the size of first and second selecting transistors.

COPYRIGHT 2000 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl. ⁶ G11C 16/00		(45) 공고일자 (11) 등록번호 (24) 등록일자	2002년04월03일 10-0330681 2002년03월18일
(21) 출원번호 (22) 출원일자	10-1999-0034053 1999년08월18일	(65) 공개번호 (43) 공개일자	특2000-0017357 2000년03월25일
(30) 우선권주장 (73) 특허권자	1998-232156 1998년08월18일 일본(JP) 닛본 덴기 가부시끼가이샤		
(72) 발명자	일본국 도쿄도 미나토구 시바 5쵸메 7방 1고 스가와라히로시		
(74) 대리인	일본국도쿄도미나토구시바5쵸메7방1고닛본덴기가부시끼가이샤내 장수길, 구영창		
심사관 : 이철희			
(54) 반도체 기억 장치			

요약

메모리 셀의 사이즈를 증가시키지 않고서 비트 선택 트랜지스터들의 구동 능력을 향상시킬 수 있는 반도체 기억 장치가 개시되어 있다. 제1 및 제2 부 비트선들은 비트선 방향을 따라 역방향으로 연장되어 각각 독립적으로 제어 가능한 제1 및 제2 비트 선택 트랜지스터들을 통하여 주 비트선에 접속되고 제1 및 제2 비트 선택 트랜지스터들은 비트선 방향에 대하여 서로 인접하지 않고 비켜진 상태로 배치된다.

대표도

도1

색인어

메모리 셀, 비트선, 비트 선택 트랜지스터, 소스 콘택, 비트 콘택, MSI(Metal Insulator Semiconductor)

명세서

도면의 간단한 설명

- 도 1은 본 발명의 일 실시예에 따른 반도체 기억 장치의 개략적인 레이아웃을 도시하는 상면도.
 도 2는 동 반도체 기억 장치의 배선 패턴을 도시하는 상면도.
 도 3은 동 반도체 기억 장치의 배선 패턴의 다른 예를 도시하는 상면도.
 도 4는 동 반도체 기억 장치를 구성하는 하나 이상의 단위 유닛들이 상하좌우로 경상으로 배치된 예를 도시하는 개략도.
 도 5는 본 실시예에 따른 반도체 기억 장치의 동작들에 대응하는 전압 조건의 예들을 도시하는 설명도.
 도 6은 종래의 반도체 기억 장치의 개략적인 레이아웃의 일례를 도시하는 상면도.
 도 7은 종래의 반도체 기억 장치의 개략적인 레이아웃의 다른 예를 도시하는 상면도.
 도 8은 종래의 반도체 기억 장치의 배선 패턴을 도시하는 상면도.

(도면의 주요 부분에 대한 부호의 설명>

- 1 : 메모리 셀(MC)
 2 : 단위 유닛
 3a : 제1 주 소스선(MSL1)
 3b : 제2 주 소스선(MSL2)
 4 : 주 비트선(MBL)
 5a : 제1 부 소스선(SSL1)
 5b : 제2 부 소스선(SSL2)
 6a : 제1 부 비트선(SBL1)

- 6b : 제2 부 비트선(SBL2)
- 8a : 제1 비트 선택 트랜지스터(TSB1)
- 8b : 제2 비트 선택 트랜지스터(TSB2)
- 9a : 제1 소스 콘택(CS1)
- 9b : 제2 소스 콘택(CS2)
- 10a : 제1 비트 콘택(CB1)
- 10b : 제2 비트 콘택(CB2)
- 11 : 분리 영역
- 13 : 소스 전극
- 14 : 컨트롤 게이트 전극
- 15 : 드레인 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 기억 장치에 관한 것으로, 특히 전원이 오프되어도 기억된 정보를 보존 유지할 수 있는 반도체 기억 장치에 관한 것이다.

반도체 기억 장치는 크게 2가지 종류로 분류되는데, 전원이 오프되면 기억된 정보가 소거되는 소위 휘발성 메모리와, 전원이 오프되어도 기억된 정보가 보존 유지되는 소위 불휘발성 메모리가 그것이다. 전자는 RAM(Random Access Memory)으로 알려져 있고 후자는 ROM(Read Only Memory)으로 알려져 있다. ROM은 특히 그 불휘발성의 특징 때문에 각종 정보 처리 장치에 이용된다. ROM 중에서, 한 번 기록된 정보가 자외선의 조사에 의해 소거될 수 있고 전기적으로 기록될 수 있는 EPROM(Erasable and Programmable ROM) 및/또는 한 번 기록된 정보가 전기적으로 소거될 수 있고 재기록될 수 있는 EEPROM(Electrically Erasable and Programmable ROM)이 널리 이용되고 있다. 특히, 정보를 일괄 소거할 수 있고 바이트 단위로 기록할 수 있는 EPROM은 플래시 메모리로 알려져 있다. 이것은 종래에 기억 매체의 대표적인 플로피 디스크 및/또는 하드 디스크를 대신할 수 있는 것으로 주목을 받고 있다.

불휘발성 반도체 기억 장치는 MSI(Metal Insulator Semiconductor)형 구조를 갖고 있다. 그것의 금속 게이트는 절연막에 매립된 플로팅 게이트와 그 플로팅 게이트 위의 절연체 상에 배치된 컨트롤 게이트로 구성된 적층 구조를 갖고 있다.

이 반도체 기억 장치에 정보를 기억시키려면, 약 12V의 비교적 높은 양의 전압을 컨트롤 게이트와 소스 사이에 인가하고 약 6V의 양의 전압을 소스와 드레인 사이에 인가하여 소스에서 드레인으로 흐르는 전자에 열전자(hot electron)를 발생시켜 F-N(Fowler-Nordheim) 터널 메커니즘을 이용하여 그 열전자를 플로팅 게이트로 주입시켜 충전하도록 한다.

한편, 기억된 정보를 소거하려면, F-N 터널 메커니즘을 다시 이용하여 플로팅 게이트로부터 전자들을 방출한다. 즉, 컨트롤 게이트를 접지시키거나 또는 -8V로 음으로 바이어스시키고 동시에 소스를 12V 내지 8V로 양으로 바이어스시켜서 소스를 통하여 정보를 소거한다. 다른 방법으로는, 컨트롤 게이트를 음으로 바이어스시키고 반도체 기판을 양으로 바이어스시켜서 채널을 통하여 정보를 소거한다.

따라서, 플로팅 게이트에 전자의 유무에 따라서 MIS형 트랜지스터의 임계 전압이 다르기 때문에, 임계 전압의 변화량을 검출함으로써 정보를 판독할 수 있다.

도 6은 종래의 반도체 기억 장치의 개략적인 레이아웃의 일례를 도시하는 상면도이다. 종래의 반도체 기억 장치는 하나 이상의 메모리 셀(MC)(51)을 포함하는 도면에서 파선으로 둘러싸인 복수 개의 단위 유닛(52)을 가지며, 이 단위 유닛들은 워드선 방향(X) 및 비트선 방향(Y)으로 매트릭스형으로 배치되어 있다.

메모리 셀(51)은 플로팅 게이트와 컨트롤 게이트를 가진 불휘발성 MIS형 구조를 가진다. 참조 번호(53a)는 제1 주 소스선(MSL1), (53b)는 제2 주 소스선(MSL2), (54a)는 제1 주 비트선(MBL1), (54b)는 제2 주 비트선(MBL2), (55a)는 제1 부 소스선(SSL1), (55b)는 제2 부 소스선(SSL2), (56a)는 제1 부 비트선(SBL1), (56b)는 제2 부 비트선(SBL2), (57a)는 제1 소스 선택 트랜지스터(TSS1), (57b)는 제2 소스 선택 트랜지스터(TSS2), (58a)는 제1 비트 선택 트랜지스터(TSB1), (58b)는 제2 비트 선택 트랜지스터(TSB2), (59a)는 제1 소스 콘택(CS1), (59b)는 제2 소스 콘택(CS2), (60a)는 제1 비트 콘택(CB1), (60b)는 제2 비트 콘택(CB2)이다.

제1 및 제2 주 소스선들(53a, 53b), 및 제1 및 제2 주 비트선들(54a, 54b)은 모두 알루미늄 등으로 이루어진 금속 배선으로 구성된다. 제1 및 제2 부 소스선들(55a, 55b), 및 제1 및 제2 부 비트선들(56a, 56b)은 반도체 기판 상에 형성된 확산층들로 구성된다. 제1 및 제2 소스 선택 트랜지스터(57a, 57b), 및 제1 및 제2 비트 선택 트랜지스터들(58a, 58b)은 종래의 MIS형 트랜지스터들로 구성된다. 제1 및 제2 소스 콘택들(59a, 59b), 및 제1 및 제2 비트 콘택들(60a, 60b)은 절연막을 통하여 개방된 콘택홀에 형성되어 금속 배선을 확산층에 접속시키는 데 이용된다.

제1 및 제2 소스 선택 트랜지스터들(57a, 57b)은 제1 및 제2 소스선들(55a, 55b)을 독립적으로 제어하여 정보를 기록, 소거 및 판독하도록 구성된다. 그와 유사하게, 제1 및 제2 비트 선택 트랜지스터들(58a, 58b)은 제1 및 제2 비트선들(56a, 56b)을 독립적으로 제어하여 정보를 기록, 소거 및 판독하도록 구성된다.

도 6에 도시된 바와 같이, 단위 유닛(52)은 제1 부 소스선(55a)과 제1 부 비트선(56a) 사이에 2 이상의 메모리 셀들이 병렬로 접속된 제1 메모리 셀군과 제2 부 소스선(55b)과 제2 부 비트선(56b) 사이에 2 이상의 메모리 셀들이 병렬로 접속된 제2 메모리 셀군으로 이루어진 2개의 메모리 셀(51) 군이 분리 영역(61)을 사이에 두고 배치되도록 구성된다.

제1 및 제2 부 비트선들(56a, 56b)은 비트선 방향(Y)을 따라서 한 방향(이 예에서는 하방향)으로 연장되어 제1 및 제2 비트 콘택들(60a, 60b)을 통하여 제1 및 제2 주 비트선들(54a, 54b)에 접속된다.

한편, 제1 및 제2 부 소스선들(55a, 55b)은 비트선 방향을 따라서 다른 방향(이 예에서는 상방향)으로 연장되어 제1 및 제2 소스 선택 트랜지스터들(57a, 57b)을 통하여 또한 제1 및 제2 소스 콘택들(59a, 59b)을 통하여 제1 및 제2 주 소스선들(53a, 53b)에 접속된다. 상술한 복수 개의 단위 유닛들(52)은 상하좌우로 경상(鏡像, mirror image)으로 배치되어 하나의 메모리 어레이를 구성한다.

도 6에 도시된 종래의 반도체 기억 장치에서는, 제1 및 제2 비트 선택 트랜지스터들(58a, 58b)이 서로 인접하여 배치되기 때문에, 스페이스의 관점에서 그들의 사이즈가 제한된다. 그러므로, 이들 트랜지스터(58a, 58b)의 사이즈를 크게 하는 것이 불가능하여, 그들의 구동 능력을 향상시키는 것이 곤란해진다.

이것은, 만일 모든 배선 피치들이 최소 설계 기준 F에 따라서 제공된다면 설계 룰의 관점에서 이들 2개의 비트 선택 트랜지스터(58a, 58b)가 면적 6F 내에 배치되어야 하는 설계의 제약을 받게 됨을 의미한다. 더욱이, 비트 선택 트랜지스터들(58a, 58b)의 구동 능력을 향상시키려는 시도로 그들의 사이즈를 크게 한다면, 단위 유닛(52)의 면적이 증가하고, 그 결과, 전체 메모리 셀 어레이의 사이즈가 커지게 된다. 종래의 반도체 기억 장치는 금속 배선을 사용하기 때문에 제1 및 제2 부 소스선들(55a, 55b), 및 제1 및 제2 부 비트선들(56a, 56b)의 배선의 피치가 엄격하게 타이밍하다고 하는 또 다른 단점이 있다.

상기 단점을 극복한 반도체 기억 장치의 예가 일본 특허 출원 공개 평6-283721호 공보에 개시되어 있다. 도 7은 상기 출원에 도시된 반도체 기억 장치의 개략적인 레이아웃의 또 다른 예를 도시하는 상면도이다. 도 8은 그 반도체 기억 장치의 배선 패턴을 도시하는 상면도이다. 이 출원에 개시된 반도체 기억 장치가 도 6에 도시된 것과 크게 다른 것은, 도 6에 도시된 것처럼 제1 및 제2 주 소스선들(53a, 53b)을 사용하지 않고 제1 및 제2 부 소스선들(55a, 55b) (또는 제1 및 제2 부 비트선들(56a, 56b)) 내의 확산 배선층과 거의 유사하게 주 소스선(MSL)(62)이 워드선 방향(X)으로 배치된 점이다. 이 주 소스선(62)은 어레이의 단부에서 제1 및 제2 부 소스선들(55a, 55b)에 접속된다. 이러한 구성은 제1 및 제2 주 소스선들(53a, 53b)을 설치할 필요가 없기 때문에 제1 및 제2 비트 선택 트랜지스터들(58a, 58b)을 설치할 충분한 스페이스를 제공할 수 있으므로, 보다 사이즈가 큰 트랜지스터들(58a, 58b)의 설치가 가능해진다.

그러나, 상기 출원에 개시된 종래의 반도체 기억 장치는 또 다른 문제점이 있다. 즉, 상기 출원에 개시된 반도체 기억 장치의 구조에서는 제1 및 제2 부 비트선들의 저항이 높아지기 때문에, 제1 및 제2 부 소스선들의 전위의 요동이 커진다. 이 제1 및 제2 부 비트선들의 높은 저항은 확산층에 의해 구성된 배선에 기인한다. 따라서, 높은 저항은 제1 및 제2 소스선들(55a, 55b)의 전위의 요동을 초래한다. 그 결과, 정보를 기록, 소거 및 판독할 때 반도체 기억 장치의 동작이 부정확하게 되어 반도체 기억 장치의 신뢰도가 저하된다.

발명이 이루고자하는 기술적 과제

상기의 사정을 감안하여, 본 발명은 메모리 셀의 사이즈를 증가시키지 않고서도 비트 선택 트랜지스터들의 구동 능력을 향상시킬 수 있는 반도체 기억 장치를 제공하는 것을 목적으로 한다.

본 발명의 한 국면에 따르면, 주 비트선의 양쪽에 제1 및 제2 주 소스선들이 각각 배치되고 상기 제1 및 제2 주 소스선들에 각각 접속된 제1 및 제2 부 소스선들 및 상기 주 비트선에 접속된 제1 및 제2 부 비트선들이 배치되고, 상기 제1 부 소스선과 상기 제1 부 비트선 사이에 2 이상의 메모리 셀들이 병렬로 접속된 제1 메모리 셀군과 상기 제2 부 소스선과 상기 제2 부 비트선 사이에 2 이상의 메모리 셀들이 병렬로 접속된 제2 메모리 셀군으로 구성된 2개의 메모리 셀군이 분리 영역을 사이에 두고 배치되어 있는 하나 이상의 단위 유닛을 포함하며, 상기 제1 및 제2 부 비트선들 각각은 비트선의 방향을 따라서 역방향으로 연장되어 각각 독립적으로 제어 가능한 제1 및 제2 비트 선택 트랜지스터들을 통하여 상기 주 비트선에 접속되어 있는 것을 특징으로 하는 반도체 기억 장치가 제공된다.

이상에서, 바람직한 실시 형태는 상기 제1 및 제2 부 비트선들이, 상기 제1 및 제2 비트 선택 트랜지스터들에 각각 접속된 제1 및 제2 비트 콘택들을 통하여 상기 주 비트선에 접속되는 것이다.

또한, 바람직한 실시 형태는 상기 제1 및 제2 부 소스선들이, 소스 선택 트랜지스터들을 통하지 않고 직접 상기 제1 및 제2 주 소스선들에 접속되는 것이다.

또한, 바람직한 실시 형태는 상기 제1 및 제2 부 소스선들이, 상기 주 비트선을 중심으로 하여 각 단위 유닛에서 서로 정반대 위치에 배치된 제1 및 제2 소스 콘택들을 통하여 상기 제1 및 제2 주 소스선들에 각각 접속되는 것이다.

또한, 바람직한 실시 형태는 상기 주 비트선과 상기 제1 및 제2 주 소스선들 모두 동시에 형성된 제1 금속 배선으로 이루어지는 것이다.

또한, 바람직한 실시 형태는 상기 제1 및 제2 주 소스선들은 동시에 형성된 상기 제1 금속 배선으로 이루어지고 상기 주 비트선은 상기 제1 금속 배선 상에 형성된 제2 금속 배선으로 이루어지는 것이다.

또한, 바람직한 실시 형태는 상기 주 비트선과 상기 제1 및 제2 주 소스선들 모두는 금속 배선으로 이루어지고 상기 제1 및 제2 주 소스선들 및 상기 제1 및 제2 주 비트선들 모두는 확산 배선으로 이루어지는 것이다.

또한, 바람직한 실시 형태는 복수 개의 단위 유닛들이 상하좌우로 경상으로 배치되는 것이다.

발명의 구성 및 작용

본 발명의 상기 및 기타의 목적, 이점 및 특징들은 첨부 도면을 참조한 이하의 설명으로부터 보다 명백히 알 수 있을 것이다.

이하, 첨부 도면을 참조하여 각종 실시예들을 이용하여 본 발명의 바람직한 실시 형태들을 보다 상세히 설명하겠다.

도 1은 본 발명의 일 실시예에 따른 반도체 기억 장치의 개략적인 레이아웃을 도시하는 상면도이다. 이 반도체 기억 장치는 하나 이상의 메모리 셀(MC)(1)을 가지며 도면에서 파선으로 둘러싸인 하나 이상의 단위 유닛(2)을 구비하는데, 이 단위 유닛들은 워드선 방향(X) 및 비트선 방향(Y)으로 매트릭스형으로 배치되어 있다.

메모리 셀(51)은 플로팅 게이트와 컨트롤 게이트를 구비한 MIS형 구조를 가진다. 참조 번호 (3a)(MSL1)는 제1 주 소스선, (3b)(MSL2)는 제2 주 소스선, (4)(MBL)는 공통 주 비트선, (5a)(SSL1)는 제1 부 소스선, (5b)(SSL2)는 제2 부 소스선, (6a)(SBL1)는 제1 부 비트선, (6b)(SBL2)는 제2 부 비트선, (8a)(TSB1)는 제1 비트 선택 트랜지스터, (8b)(TSB2)는 제2 비트 선택 트랜지스터, (9a)(CS1)는 제1 소스 콘택, (9b)(CS2)는 제2 소스 콘택, (10a)(CB1)는 제1 비트 콘택, (10b)(CB2)는 제2 비트 콘택이다.

공통 주 비트선(4) 및 이 주 비트선의 양쪽에 각각 배치된 제1 및 제2 주 소스선들(3a, 3b)은 모두 알루미늄과 같은 금속 배선으로 구성된다. 제1 및 제2 부 소스선들(5a, 5b), 및 제1 및 제2 부 비트선들(6a, 6b)은 반도체 기판 상에 형성된 확산층들로 구성된다. 제1 및 제2 비트 선택 트랜지스터들(8a, 8b)은 통상 MIS형 트랜지스터들로 구성된다. 제1 및 제2 비트 콘택들(10a, 10b)은 절연막을 통하여 개방된 콘택홀에 형성되어 금속 배선을 확산층에 접속시키는 데 이용된다. 후술하는 바와 같이, 이 실시예에서는, 종래에 이용된 제1 및 제2 소스 선택 트랜지스터들이 이용되지 않는다. 제1 및 제2 비트 선택 트랜지스터들(8a, 8b)은 제1 및 제2 부 비트선들(6a, 6b)을 독립적으로 제어하여 정보를 기록, 소거 및 판독하도록 구성된다.

도 1에 도시된 바와 같이, 단위 유닛(2)은 제1 부 소스선(5a)과 제1 부 비트선(6a) 사이에 2 이상의 메모리 셀들이 병렬로 접속된 제1 메모리 셀군과 제2 부 소스선(5b)과 제2 부 비트선(6b) 사이에 2 이상의 메모리 셀들이 병렬로 접속된 제2 메모리 셀군으로 이루어진 2개의 메모리 셀(1) 군이 분리 영역(11)을 사이에 두고 배치되도록 구성된다.

제1 부 비트선(6a)은 비트선 방향(Y)을 따라서 한 방향(이 예에서는 하방향)으로 연장되어 제1 비트 선택 트랜지스터(8a)를 통하여 또한 제1 비트 콘택(10a)을 통하여 공통 주 비트선(4)에 접속된다.

한편, 제2 부 비트선(6b)은 비트선 방향을 따라서 다른 방향(이 예에서는 상방향)으로 연장되어 제2 비트 선택 트랜지스터(8b)를 통하여 또한 제2 비트 콘택(10b)을 통하여 공통 주 비트선(4)에 접속된다.

즉, 이 실시예에서는, 단위 유닛은 제1 및 제2 부 비트선들(6a, 6b) 각각이 비트선 방향(Y)을 따라 역방향으로 연장되어 각각 독립적으로 제어 가능한 제1 및 제2 선택 트랜지스터들(8a, 8b)을 통하여 공통 주 비트선(4)에 접속된다. 이에 따라, 제1 및 제2 비트 선택 트랜지스터들(8a, 8b)을 비트선 방향(Y)에 대하여 인접하지 않고서 비켜서 배치하는 것이 가능하므로, 이들 트랜지스터들(8a, 8b)을 형성할 충분한 스페이스가 제공된다.

더욱이, 제1 및 제2 비트 선택 트랜지스터들(8a, 8b)을 비켜서 배치하면 제1 및 제2 비트 콘택들(10a, 10b)을 형성할 충분한 스페이스가 제공되므로, 하나의 공통 주 비트선(4)만을 설치하여 그 위에 제1 및 제2 비트 콘택들(10a, 10b)을 형성하는 것이 가능해진다.

그 결과, 제1 및 제2 부 소스선들(5a, 5b) 각각에 대하여 소스 선택 트랜지스터들을 설치할 필요가 없으며 이들 부 소스선들은 제1 및 제2 소스 콘택들(9a, 9b)을 통하여 제1 및 제2 주 소스선들(3a, 3b)에 직접 접속된다.

소스 선택 트랜지스터들이 불필요하게 되면, 제1 및 제2 부 소스선들(5a, 5b)을 독립적으로 제어하여 정보를 기록, 소거 및 판독할 필요가 없으며, 이것은 후술하고 도 5에 도시하는 바와 같이, 기록시에 선택 트랜지스터의 컨트롤 게이트에 음의 전압을 공급하고 비선택 트랜지스터의 컨트롤 게이트에 접지 전압(0V)을 공급함으로써 가능하다.

또한, 제1 및 제2 소스 콘택들(9a, 9b)은 주 비트선(4)을 중심으로 하여 서로 정반대 위치에 배치된다.

복수 개의 단위 유닛들(2)은 상하좌우로 경상으로 배치된다. 도 4는 12개의 단위 유닛들(2)이 경상으로 배치된 하나의 메모리 어레이의 예를 도시한다.

상술한 바와 같이, 제1 및 제2 부 비트선들(6a, 6b) 각각을 비트선 방향(Y)을 따라 역방향으로 연장하고 이들 부 비트선들 각각 독립적으로 제어 가능한 제1 및 제2 비트 선택 트랜지스터들(8a, 8b)을 통하여 공통 주 비트선(4)에 접속시킴으로써, 제1 및 제2 비트 선택 트랜지스터들(8a, 8b)은 비트선 방향(Y)에 대하여 서로 인접하지 않고 비켜진 상태로 배치될 수 있으므로, 이들 트랜지스터들(8a, 8b)을 형성할 충분한 스페이스가 제공된다.

또한, 하나의 공통 주 비트선(4)만을 이용함으로써 목적이 달성될 수 있으므로, 배선의 피치에도 충분한 스페이스가 제공된다.

그 결과, 종래의 구성의 경우와 달리, 최소 설계 기준 F에 따라서 모든 배선 피치들을 제공할 때, 면적 6F 내에 배치된 단 하나의 비트 선택 트랜지스터를 설치하면 되므로 보다 사이즈가 큰 비트 선택 트랜지스터를 이용할 수 있고 그 구동 능력을 향상시킬 수 있다.

도 2는 이 실시예에 따른 반도체 기억 장치의 배선 패턴의 일례를 도시하고, 주 비트선(4) 및 주 비트선(4)의 양쪽에 각각 배치된 제1 및 제2 주 소스선들(3a, 3b)을 동시에 형성한 알루미늄으로 이루어진 제1 금속 배선으로 구성된 예를 도시하고 있다.

도 3은 이 실시예에 따른 반도체 기억 장치의 배선 패턴의 다른 예를 도시하고, 제1 및 제2 소스선들(3a, 3b)을 동시에 형성한 알루미늄으로 이루어진 제1 금속 배선, 및 이 제1 금속 배선 상에 주 비트선을 포함하는 알루미늄으로 이루어진 제2 금속 배선으로 구성된 예를 도시하고 있다.

도 5는 이 실시예에 따른 반도체 기억 장치의 동작들에 대응하는 전압 조건들의 예를 도시한다. 도 5의 이 예에서는 N채널 반도체 기억 장치가 이용된다. 참조 번호 (13)은 소스 전극, (14)는 컨트롤 게이트 전극, (15)는 드레인 전극, (16)은 N웰에 대한 전극, (17)은 P웰에 대한 전극이다. 도 5에 도시된 전압은 (A) 선택시 또는 (B) 비선택시에 정보를 (a) 판독, (b) 소거 및 (c) 기록하기 위하여 각 전극에 공급되게 되어 있다.

따라서, 이 실시예에 따른 구성에서는, 제1 및 제2 부 비트선들(6a, 6b) 각각이 비트선 방향(Y)을 따라 역방향으로 연장되어 각각 독립적으로 제어 가능한 제1 및 제2 비트 선택 트랜지스터들(8a, 8b)을 통하여 공통 주 비트선(4)에 접속되므로, 제1 및 제2 비트 선택 트랜지스터들(8a, 8b)을 비트선 방향(Y)에 대하여 서로 인접하지 않게 비켜서 배치할 수 있고 이들 트랜지스터의 사이즈를 보다 크게 할 수 있다.

따라서, 메모리 셀 어레이의 사이즈를 증가시키지 않고서 비트 선택 트랜지스터들의 구동 능력을 향상시킬 수 있다.

또한, 하나의 공통 주 비트선(4)만을 이용함으로써 목적이 달성될 수 있으므로, 배선의 피치에도 충분한 스페이스가 제공된다.

본 발명은 상기 실시예에만 국한되지 않고 본 발명의 의미 및 범위에서 벗어나지 않고서 변형 및 수정이 가능하다. 예를 들면, 필요에 따라 메모리 셀의 수 및 단위 유닛을 구성하는 메모리 셀군의 수를 변경할 수 있다.

또한, 분리 영역을 사이에 두고 배치된 제1 및 제2 부 비트선들에 접속된 제1 및 제2 비트 선택 트랜지스터들의 위치는, 양 트랜지스터가 서로 인접하게 배치되지 않는 정도로 비껴진다면, 반드시 비트선 방향으로 어레이의 단부에 배치될 필요는 없다. 또한, 주 소스선 또는 주 비트선을 구성하는 금속 배선을 적층하여 3개 이상의 층을 형성할 수도 있다. 반도체 기억 장치를 구성하는 채널 영역의 도전형은 P채널 또는 N채널의 어느 쪽이든 상관없다.

발명의 효과

상술한 바와 같이, 본 발명의 반도체 기억 장치는 제1 및 제2 비트선들이 비트선 방향을 따라 역방향으로 연장되어 각각 독립적으로 제어 가능한 제1 및 제2 비트 선택 트랜지스터들을 통하여 공통 주 비트선에 접속되도록 구성되고, 그 결과, 제1 및 제2 비트 선택 트랜지스터들을 비트선 방향에 대하여 서로 인접하지 않게 비껴진 상태로 배치할 수 있으므로, 제1 및 제2 비트 선택 트랜지스터들의 사이즈를 크게 할 수 있다.

따라서, 메모리 셀 어레이의 사이즈를 증가시키지 않고서 비트 선택 트랜지스터들의 구동 능력을 향상시킬 수 있다. 또한, 하나의 공통 주 비트선(4)만을 이용함으로써 목적이 달성될 수 있으므로, 배선의 피치에도 충분한 스페이스가 제공된다.

마지막으로, 본 출원은 본 명세서에 참고로 반영되어 있는 1998년 8월 18일자로 출원된 일본 특허 출원 평10-232156호의 우선권을 주장한다.

(57) 청구의 범위

청구항 1

주 비트선의 양쪽에 제1 및 제2 주 소스선들이 각각 배치되고 상기 제1 및 제2 주 소스선들에 각각 접속된 제1 및 제2 부 소스선들 및 상기 주 비트선에 접속된 제1 및 제2 부 비트선들이 구비되고, 상기 제1 부 소스선과 상기 제1 부 비트선 사이에 2 이상의 메모리 셀들이 병렬로 접속된 제1 메모리 셀군과 상기 제2 부 소스선과 상기 제2 부 비트선 사이에 2 이상의 메모리 셀들이 병렬로 접속된 제2 메모리 셀군으로 구성된 2개의 메모리 셀군이 분리 영역을 사이에 두고 배치되어 있는 하나 이상의 단위 유닛을 포함하는 반도체 기억 장치에 있어서,

상기 제1 및 제2 부 비트선들 각각은 비트선의 방향을 따라서 서로 역방향으로 연장되어 각각 독립적으로 제어 가능한 제1 및 제2 비트 선택 트랜지스터들을 통하여 상기 주 비트선에 접속되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 2

제1항에 있어서, 상기 제1 및 제2 부 비트선들은 상기 제1 및 제2 비트 선택 트랜지스터들에 각각 접속된 제1 및 제2 비트 콘택들을 통하여 상기 주 비트선에 접속되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 3

제1항에 있어서, 상기 제1 및 제2 부 소스선들은 소스 선택 트랜지스터들을 이용하지 않고 직접 상기 제1 및 제2 주 소스선들에 접속되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 4

제3항에 있어서, 상기 제1 및 제2 부 소스선들은 상기 주 비트선을 중심으로 하여 각 단위 유닛에서 서로 정반대 위치에 배치된 제1 및 제2 소스 콘택들을 통하여 상기 제1 및 제2 주 소스선들에 각각 접속되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 주 비트선과 상기 제1 및 제2 주 소스선들 모두는 동시에 형성된 제1 금속 배선으로 이루어지는 것을 특징으로 하는 반도체 기억 장치.

청구항 6

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 제1 및 제2 주 소스선들은 동시에 형성된 상기 제1 금속 배선으로 이루어지고 상기 주 비트선은 상기 제1 금속 배선 상에 형성된 제2 금속 배선으로 이루어지는 것을 특징으로 하는 반도체 기억 장치.

청구항 7

제1항 내지 제4항 중 어느 한 항에 있어서, 상기 주 비트선과 상기 제1 및 제2 주 소스선들 모두는 금속 배선으로 이루어지고 상기 제1 및 제2 부 소스선들 및 상기 제1 및 제2 부 비트선들 모두는 확산 배선으로 이루어지는 것을 특징으로 하는 반도체 기억 장치.

청구항 8

제1항 내지 제4항 중 어느 한 항에 있어서, 복수 개의 단위 유닛들이 상하좌우로 경상(鏡像, mirror image)으로 배치되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 9

제2항에 있어서, 상기 제1 및 제2 부 소스선들은 소스 선택 트랜지스터들을 이용하지 않고 직접 상기 제1 및 제2 주 소스선들에 접속되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 10

제9항에 있어서, 상기 제1 및 제2 부 소스선들은 상기 주 비트선을 중심으로 하여 각 단위 유닛에서 서로 정반대 위치에 배치된 제1 및 제2 소스 콘택들을 통하여 상기 제1 및 제2 주 소스선들에 각각 접속되어 있는 것을 특징으로 하는 반도체 기억 장치.

청구항 11

제9항 또는 제10항에 있어서, 상기 주 비트선과 상기 제1 및 제2 주 소스선들 모두는 동시에 형성된 제1 금속 배선으로 이루어지는 것을 특징으로 하는 반도체 기억 장치.

청구항 12

제9항 또는 제10항에 있어서, 상기 제1 및 제2 주 소스선들은 동시에 형성된 상기 제1 금속 배선으로 이루어지고 상기 주 비트선은 상기 제1 금속 배선 상에 형성된 제2 금속 배선으로 이루어지는 것을 특징으로 하는 반도체 기억 장치.

청구항 13

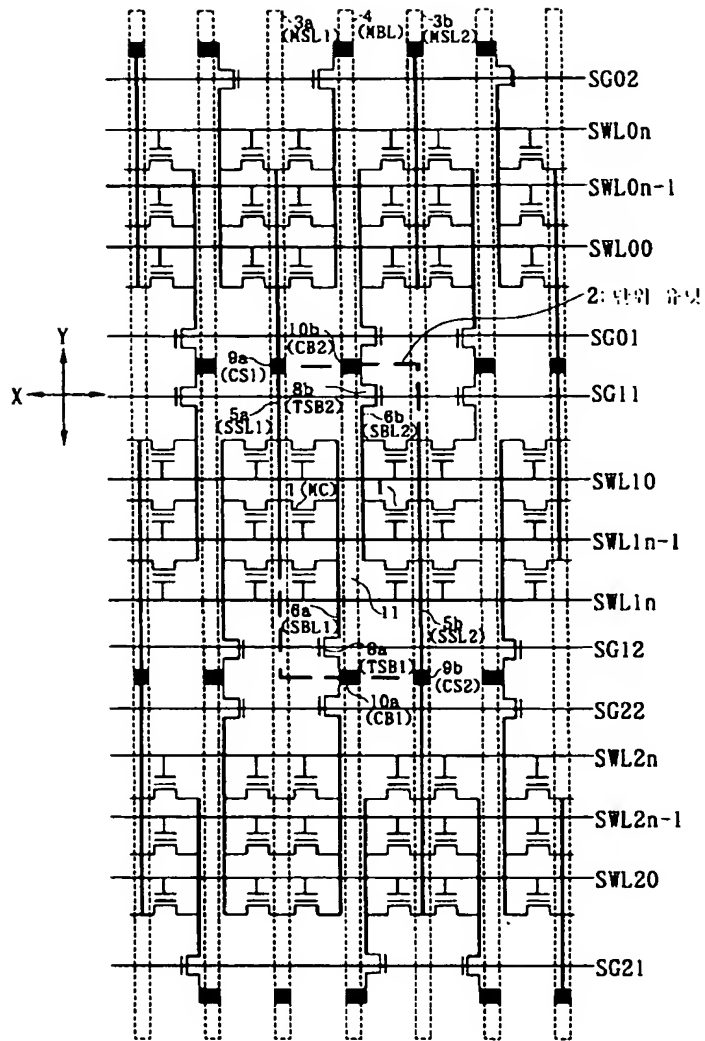
제9항 또는 제10항에 있어서, 상기 주 비트선과 상기 제1 및 제2 주 소스선들 모두는 금속 배선으로 이루어지고 상기 제1 및 제2 부 소스선들 및 상기 제1 및 제2 부 비트선들 모두는 확산 배선으로 이루어지는 것을 특징으로 하는 반도체 기억 장치.

청구항 14

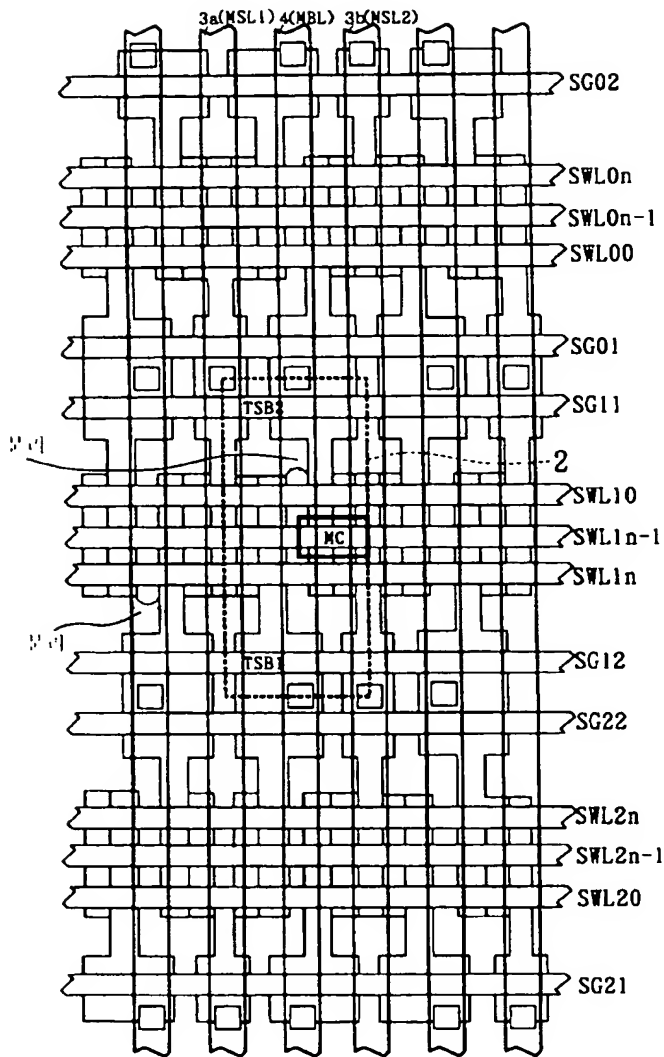
제9항 또는 제10항에 있어서, 복수 개의 단위 유닛들이 상하좌우로 경상(鏡像, mirror image)으로 배치되어 있는 것을 특징으로 하는 반도체 기억 장치.

도면

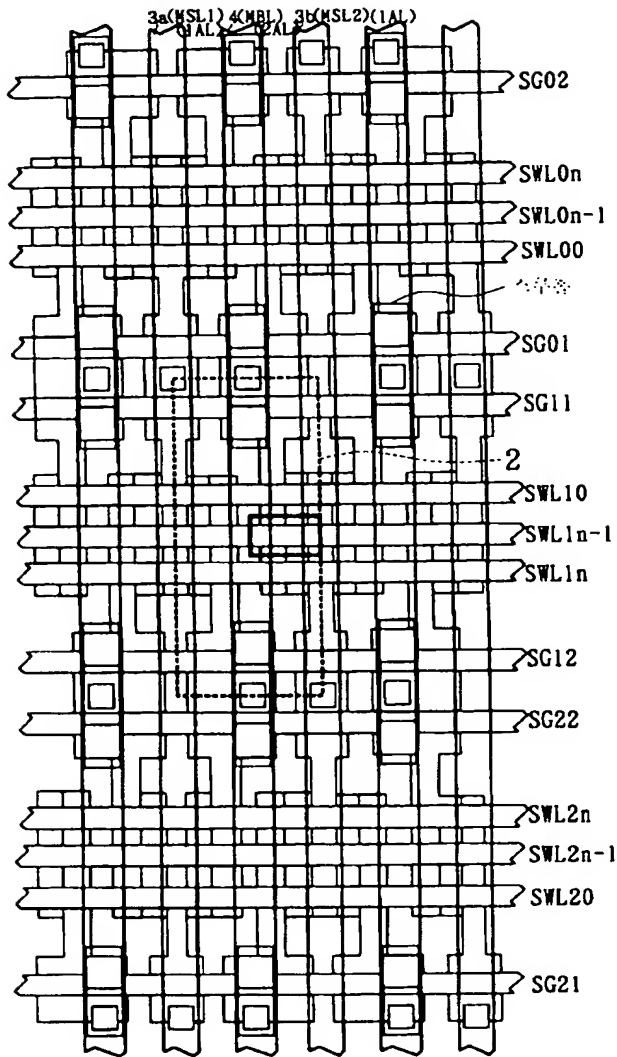
도면1



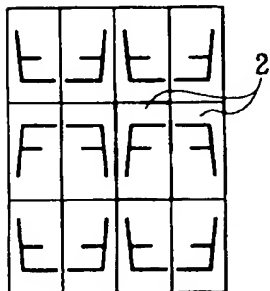
도면2



도면3

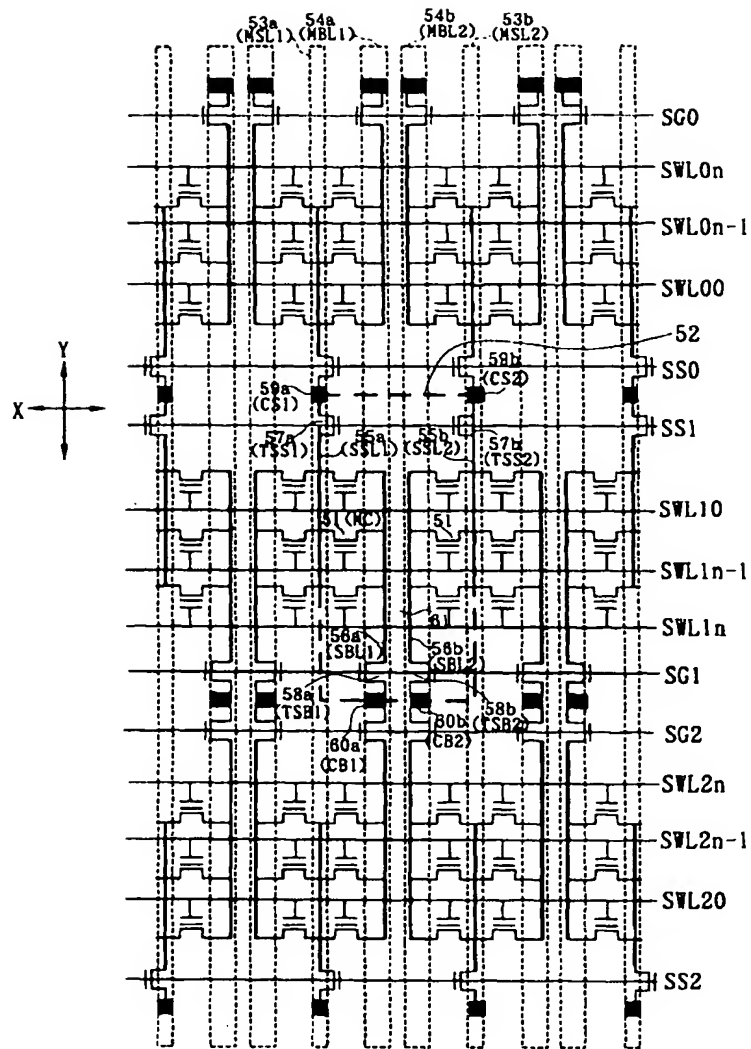


도면4



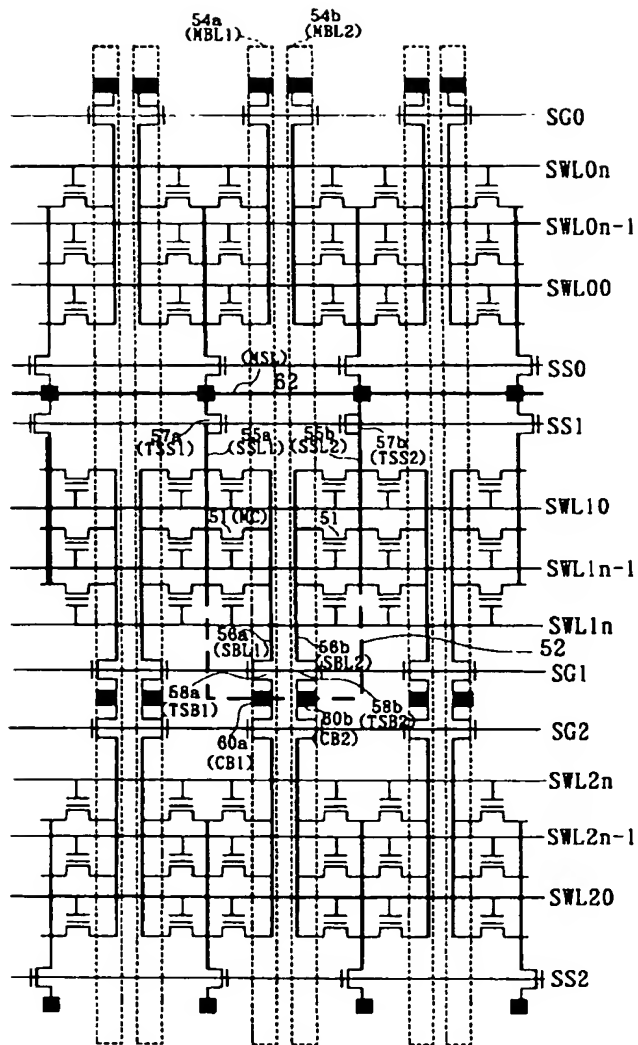
도면6

(본예 참조)



도면7

(상대 1:1)



도면8

(종래 기술)

